

DIALOG(R)File 352:DERWENT WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

008499856    \*\*Image available\*\*

WPI Acc No: 1991-003940/199101

XRPX Acc No: N91-002958

**Drive unit for active-matrix LCD panel - drives data electrodes using two constant current sources which are controlled by digital image data**

NoAbstract Dwg 2/4

Patent Assignee: SEIKO EPSON CORP (SHIH )

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2281291	A	19901116	JP 89102260	A	19890421	199101 B
JP 3018344	B2	20000313	JP 89102260	A	19890421	200017

Priority Applications (No Type Date): JP 89102260 A 19890421

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 2281291	A	14		
------------	---	----	--	--

JP 3018344	B2	8 G09G-003/36	Previous Publ. patent JP 2281291
------------	----	---------------	----------------------------------

Title Terms: DRIVE; UNIT; ACTIVE; MATRIX; LCD; PANEL; DRIVE; DATA;  
ELECTRODE; TWO; CONSTANT; CURRENT; SOURCE; CONTROL; DIGITAL; IMAGE;  
DATA; NOABSTRACT

Derwent Class: P81; P85; T04; U14; W03

International Patent Class (Main): G09G-003/36

International Patent Class (Additional): G02F-001/133; H04N-005/66

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03305791 \*\*Image available\*\*

LIQUID CRYSTAL DRIVING DEVICE

PUB. NO.: 02-281291 [JP 2281291 A]

PUBLISHED: November 16, 1990 (19901116)

INVENTOR(s): WAKAI YOICHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)

, JP (Japan)

APPL. NO.: 01-102260 [JP 89102260]

FILED: April 21, 1989 (19890421)

INTL CLASS: [5] G09G-003/36; H04N-005/66

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 44.6 (COMMUNICATION --  
Television)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --

Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 1162, Vol. 15, No. 47, Pg. 116,  
February 05, 1991 (19910205)

**ABSTRACT**

PURPOSE: To allow the driving of a liquid crystal active matrix panel without making D/A conversion by operating constant current sources connected to two different power sources by respective data side driving outputs by alternately controlling the working time in accordance with the weights of digital video data.

CONSTITUTION: The 1st constant current source A connected to the 1st power source VA, the 2nd constant current source B connected to the 2nd power source VB and a means 105 which controls the time width of the activating time of the 1st or 2nd constant current source within unit time by the values of digital data D<sub>0</sub> to D<sub>3</sub> are provided. Data electrodes are driven by the current output terminal commonly connected to the 1st and 2nd current sources. The displaying of the liquid crystal active matrix with the digital video data without making the D/A conversion is possible in this way and the circuit scale is reduced.

## ⑫ 公開特許公報 (A)

平2-281291

⑬ Int.Cl.<sup>3</sup>G 09 G 3/36  
H 04 N 5/66

識別記号

102 B

府内整理番号

8621-5C  
7605-5C

⑭ 公開 平成2年(1990)11月16日

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 液晶駆動装置

⑯ 特 願 平1-102260

⑰ 出 願 平1(1989)4月21日

⑱ 発明者 若井 洋一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式

会社内

⑲ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号

会社

⑳ 代理人 弁理士 鈴木 喜三郎 外1名

## 明細書

## 1. 発明の名称

液晶駆動装置

## 2. 特許請求の範囲

(1) a) 走査電極とデータ電極との交点に、スイッチング素子と液晶とからなる画素が形成されてなるアクティブマトリクス・パネルにて、ディジタル化された画像データに基づき画像を表示する液晶駆動装置において、少なくとも

b) 第1の電源V<sub>a</sub>に接続された第1の定電流源(A)と、

c) 第2の電源V<sub>b</sub>に接続された第2の定電流源(B)と、

d) 前記ディジタルデータの値により、前記第1もしくは第2の定電流源の、単位時間T<sub>u</sub>内での能動時間T<sub>on</sub>の時間幅を制御する手段よりなり、

e) 前記第1と第2の電流源の共通に接続された電流出力端子で前記データ電極を駆動すること

を特徴とする液晶駆動装置。

(2) a) 一端が第3の電源V<sub>c</sub>に接続され、もう一端が前記電流出力端子とに接続された制御入力端子を備えたスイッチング手段と、

b) 前記第1と第2の電流源は、前記アクティブマトリクス・パネルの交流駆動周期の1/2の期間に同期して、交互に動作せしめる手段を有し、

c) 単位時間T<sub>u</sub>の前縁で、前記スイッチング手段を制御し、前記電流出力端子を前記第3の電源電位に固定することを特徴とする請求項1記載の液晶駆動装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は液晶アクティブマトリクス・パネルを駆動するための液晶駆動装置に関し、特にディジタル化された映像データに基づき、パネルを駆動するものに関する。

## 〔従来の技術〕

TFT(薄膜トランジスタ)等をスイッチング

電子とするアクティブマトリクス・パネルを駆動する液晶駆動装置においては、映像信号はアナログ値であって、その電圧値を液晶駆動電圧として伝播させ、パネルに印加するものが一般的であった。ところで画像表示部を必要とする機器としては、例えばコンピュータ等の情報機器がある。これらの機器では、内部信号はほぼデジタル化して処理されており、先の液晶アクティブマトリクス・パネルにて画像表示を行なおうとすると、デジタル映像データを必ずD/A変換してアナログ信号へ置換する必要がある。これらの処理をする回路は構成が複雑、消費電流が大きいといった問題点を有する。そこでデジタル映像データをD/A変換することなしに構成された液晶駆動装置について、特開昭63-161495に開示されている。同開示例では、液晶駆動装置内のデータ側ドライバに、値の異なる2本（デジタル映像データがNビットの場合）の電源ラインを入力し、各画素の映像データの組みに対応する電源ラインを選択し、データ側駆動信号として、データ

電極に出力する装置例を示している。

〔発明が解決しようとする課題〕

ところが先の開示例では以下の課題がある。通常、パネルのドライバはモノリシックIC化されるが、2本の電源ラインが必要なこと（この電源ラインはドライバIC内の全液晶パネル駆動出力端子と関係するためIC全体に配線される）、電源ラインを選択するマルチプレクサ回路の規模が大きいことにより、ICサイズが大きくなり単価の上昇につながる。

本発明では、D/A変換せずにデジタル映像データで液晶アクティブマトリクス・パネルを表示可能であり、回路規模（ドライバIC内の配線量を含む）の小さな液晶駆動装置を提供することを目的とする。

〔課題を解決するための手段〕

前記課題を解決するための本発明の液晶駆動装置は、

(1) a) 走査電極とデータ電極との交点に、スイッチング素子と液晶とからなる画素が形成され

-3-

-4-

てなるアクティブマトリクス・パネルにて、デジタル化された画像データに基づき画像を表示する液晶駆動装置において、少なくとも、

- b) 第1の電源V<sub>a</sub>に接続された第1の定電流源(A)と、
- c) 第2の電源V<sub>b</sub>に接続された第2の定電流源(B)と、

d) 前記ディジタルデータの組により、前記第1もしくは第2の定電流源の、単位時間T<sub>a</sub>内での駆動時間T<sub>on</sub>の時間幅を制御する手段よりなり、  
e) 前記第1と第2の電流源の共通に接続された電流出力端子で前記データ電極を駆動することを特徴とする。

- (2) a) 一端が第3の電源V<sub>c</sub>に接続され、もう一端が前記電流出力端子とに接続された副導入端子を備えたスイッチング手段と、  
b) 前記第1と第2の電源は、前記アクティブマトリクス・パネルの交流駆動周期の1/2の期間に同期して、交互に動作せしめる手段を有し、  
c) 単位時間T<sub>a</sub>の前縁で、前記スイッチング手

段を制御し、前記電流出力端子を前記第3の電源電位に固定することを特徴とする。

〔実施例〕

以下本発明の一構成例を図面に基づき説明する。

第1図は本発明による液晶駆動装置の構成図である。

101は走査電極(Ynはその内の一つ)に走査駆動信号を出力する走査側ドライバである。内部はシフトレジスタ構成となっており、YCLをシフトクロック信号、YSTをシフト開始信号としている。YCL、YST及び以後説明する各種信号はタイミング・コントローラ(図示せず)より出力されており、後述するタイムチャート内にタイミングが示されている。

102はデータ側ドライバであり、以下の構成を有している。

103は第1ラインメモリである。第1ラインメモリ103は、4ビット(M10~M13)/ワードのメモリがKワード(Kは液晶パネル120の水平方向画素数に対応)あるラインメモリで

ある。各ワードはそれぞれの対応するビット同士が直列的に接続されたシフトレジスタ構成となっている。デジタル映像データ D<sub>0</sub>～D<sub>3</sub>は M<sub>1</sub>0～M<sub>1</sub>3に対応している。第1ラインメモリ 103では、XSTをシフトレジスタの開始信号とし、シフトクロック XCLにより順次映像データ D<sub>10</sub>～D<sub>13</sub>を M<sub>10</sub>～M<sub>13</sub>に取りこむ。

104は第2ラインメモリであって、第1ラインメモリ 103と同じく、4ビット(M<sub>20</sub>～M<sub>23</sub>)／ワードのメモリが Kワードあるラインメモリである。M<sub>20</sub>～M<sub>23</sub>は M<sub>10</sub>～M<sub>13</sub>に対応しており、LP信号によって、第1ラインメモリ 103の内容が第2ラインメモリ 104の対応するワードへ転送される。

105は階調基準信号発生回路であって、LP信号の同期内に、信号 FGS をカウントして P<sub>0</sub>～P<sub>3</sub>の4つの階調基準信号を発生する。第2図に階調基準信号発生回路 105の詳細な回路構成を示す。201～204はトグル・フリップ・フロップ(トグル F/F)であって、201のトグル

-7-

さらにANDゲート 109、NANDゲート 110の一方の入力端子と接続されている。ANDゲート 109とNANDゲート 110のもう一方の入力端子には、各々FRと $\overline{FR}$ (FRをインバータ 107で反転した信号)の信号が入力されていて、FR='H'ではANDゲート 109が、FR='L'ではNANDゲート 110が選択される。

111、112、115はPチャネルMOS・FET(T<sub>p</sub>)、113、114、118はNチャネルMOS・FET(T<sub>n</sub>)、119はMOS・FET(ソース電源V<sub>s</sub>のレベルによって、チャネル極性が決まる)である。T<sub>p</sub>115はゲートとドレインの端子が共通接続されていて、電源V<sub>s</sub>との間に抵抗Rがある。また同共通端子は T<sub>p</sub>111のゲート端子とも接続されている。T<sub>p</sub>111、115のソース端子は第1の電源V<sub>s</sub>に接続されている。したがって T<sub>p</sub>111、115、抵抗 117はカレントミラー定電流源(A)を構成している。

同様に T<sub>n</sub>114、116、抵抗 118もカレン

ル端子 T<sub>n</sub>には信号 FGS が入力されていて、202～204のトグル端子 T<sub>n</sub>には、各々前段のトグル F/F の Q 出力が入力されている。また全トグル F/F は信号 LP をリセット端子 R に入力している。P<sub>0</sub>は 204 Q の出力、P<sub>1</sub>～P<sub>3</sub>は各々 201～204の各トグル F/F の Q 出力をデコードするANDゲート 205～207の出力である。P<sub>0</sub>～P<sub>3</sub>は LP 信号の一周期内で、「H」のパルス幅が、

P<sub>0</sub>: P<sub>1</sub>: P<sub>2</sub>: P<sub>3</sub> = 1: 2: 4: 8  
となっている(第3図参照)。

第1図において、106は液晶駆動回路であって、液晶パネル 120の水平方向画素数に対応して、K個の同一ブロックよりなる。そのブロックの構成を破線内に示す。

108は4個の2入力・NDと1個の4入力ORからなる複合ゲートである。各ANDゲートには階調基準信号 P<sub>0</sub>～P<sub>3</sub>と、第2ラインメモリの M<sub>20</sub>～M<sub>23</sub>のメモリの出力が相対するビット毎に入力している。複合ゲート 108の出力は、

-8-

トミラード電流源(B)が、第2の電源 V<sub>s</sub>に接続して構成している。また T<sub>p</sub>111と T<sub>n</sub>114間にには、T<sub>p</sub>112と T<sub>n</sub>113が直列に接続されていて、T<sub>p</sub>112と T<sub>n</sub>113の共通ドレイン端子がデータ電極 X<sub>m</sub>に接続されている。

T<sub>p</sub>112のゲート端子はNANDゲート 110の出力が、T<sub>n</sub>113のゲート端子にはANDゲート 109の出力が接続されている。したがって、FR='L'では、ゲート 108='H'で、定電流 I<sub>A</sub>がデータ電極 X<sub>m</sub>へ流出し、FR='H'では、ゲート 108='H'で、定電流がデータ電極 X<sub>m</sub>から流入する。

さらに、データ電極 X<sub>m</sub>は MOS・FET 119のドレイン端子にも接続されている。119のゲート端子には信号 DS が入力され、ソース端子は第3の電源 V<sub>c</sub>に接続されている。信号 DS='H'では、データ電極 X<sub>m</sub>は電源 V<sub>c</sub>と短絡される。

120は液晶アクティブラトリクス・パネルであって、複数の画素よりなる。121はデータ電

極 X<sub>m</sub> と走査電極 Y<sub>n</sub> の交点にある画素で、例えばスイッチング素子として TFT122 を用いている。TFT122 はゲート端子を走査電極 Y<sub>n</sub> に、ソース端子をデータ電極 X<sub>m</sub> に接続されていて、ドレイン端子には液晶素子 123 に接続されている。液晶素子 123 のもう一方は固定電位 V<sub>COM</sub> に接続されている。

第 1 図の液晶駆動装置の動作を、第 3 図、第 4 図のタイムチャートにより説明する。

第 3 図において XST = 「H」により第 1 図 103 の第 1 ラインメモリは、映像データ D0 ~ D3 の取りこみを開始する (XST の周期は T<sub>s</sub>)。画素 (X<sub>m</sub>, Y<sub>n</sub>) のデータは XST から数えて、m 個目の XCL で M10 ~ M13 に取りこまれる。第 3 図では最初の単位時間では A = (1, 0, 1, 0) (その前までは B = (0, 1, 1, 0) が格納されていた)、次に E = (1, 1, 1, 0) が取りこまれる。また第 2 ラインメモリ 104 の M20 ~ M23 には、LP 信号の立ち上り時の M10 ~ M13 のデータが取りこまれる (LP の周期は

-11-

出力は、階調基準信号 P0 ~ P3 によって、第 3 図あるいは第 4 図のような単位時間 T<sub>s</sub> 中の「H」の割合となる。T<sub>s</sub> の前半に DS は位置し (パルス幅 = T<sub>s</sub>)、DS により MOS · FET118 が ON するので、データ電極 X<sub>m</sub> を介して、液晶素子 123 の TFT122 側のレベルは V<sub>c</sub> に固定される (それ以前は V<sub>c</sub> に対して負側にあった)。DS = 「L」後に映像データ「A」に対応して、ゲート 108 が「H」となると、第 1 の定電流源 (A) を介して定電流 IA がデータ電極 X<sub>m</sub> に流出する。定電流 IA によって、液晶素子 123 の片側は I<sub>A</sub>/t (t は時間) で上昇する。最終電位を VL とすれば、映像データが「A」の時には、

$$VL = Vc + \frac{IA}{C} \cdot \frac{10}{15} (T_s - T_s)$$

となる (C はバネル負荷容量)。これを一般化すれば、映像データの 10 進の値を D とすると、

$$VL = Vc + \frac{IA}{C} \cdot \frac{D}{15} (T_s - T_s)$$

となる。したがって映像データ値によって、VL

T<sub>s</sub> )。

信号 FG S は LP = 「L」の期間に 15 個存在し、同信号をもとに、互いに「H」の幅の異なる階調基準信号 P0 ~ P3 が階調基準信号発生回路 105 から発生する。

信号 DS は LP と同じく周期 T<sub>s</sub> であり、その「H」の幅は T<sub>s</sub> である。

M20 ~ M23 = 「S」の時は、ゲート 108 では P1 と P2 が選択される。同様に M20 ~ M23 = 「A」の時は、P1 と P3 が選択される。このように M20 ~ M23 のコードによって、単位時間 T<sub>s</sub> におけるゲート 108 出力での「H」の割合は変わる。

第 4 図に示すように、走査側ドライバ 101 では、YST = 「H」により、YCL に同期して順次 Y1, Y2, … Yn の走査側駆動信号を発生する。いま FR = 「L」中の Yn = 「H」を考える。この時、画素 (X<sub>m</sub>, Y<sub>n</sub>) に対応する映像データ (M20 ~ M23 に格納されている) が「A」とする。データ「A」でのゲート 108 の

-12-

は変化し、そのデータの重みに基づいた液晶印加電圧が得られる。

Yn が「L」では TFT122 が OFF し、電圧 VL が保持される。

次に FR = 「H」では、Yn = 「H」で、まず DS により、データ電極及び液晶素子 123 の片側電位は V<sub>C</sub> に固定される。そしてゲート 108 が「H」では定電流源 (B) を介して、定電流 IB がデータ電極 X<sub>m</sub> からデータ側ドライバ 102 へ流入する。その時、液晶素子 123 の片側電位は IB/t で下降する。最終電位 VL を一般化すれば、

$$VL = Vc - \frac{IB}{C} \cdot \frac{D}{15} (T_s - T_s)$$

となる。したがって、FR = 「L」の場合と同様に、映像データ値によって、VL は変化し、そのデータの重みに基づいた液晶印加電圧が得られる。

DS の持つ意味は、単位時間 T<sub>s</sub> の前半で、いったんデータ電極 X<sub>m</sub>、液晶素子 123 の片側電位を V<sub>C</sub> の固定電位に設定し直すことにより、前の

映像データによる液晶パネルへの印加電圧の影響を除くことにある。

〔発明の効果〕

以上のように本発明によれば、液晶駆動装置のデータ側ドライバにおいて、各データ側駆動出力で、2つの異なる電源に接続された定電流源を、ディジタル映像データの重みに基づき、交互に動作時間を制御して動作させることによって、D/A変換せずに、液晶アクティブマトリクス・パネルを駆動できる。しかもその回路構成も簡略化しており、IC化しても経済的サイズにおさめることができ。またスイッチング素子としてMIM等の2端子素子が用いられた液晶アクティブマトリクス・パネルにも適用できる。

4. 図面の簡単な説明

第1図…本発明による液晶駆動装置の回路構成図。

第2図…階調基準信号発生回路の回路構成図。

第3図…第1図各部のタイムチャート(1)。

第4図…第1図各部のタイムチャート(2)。

111, 115, 117…第1の定電流源を構成

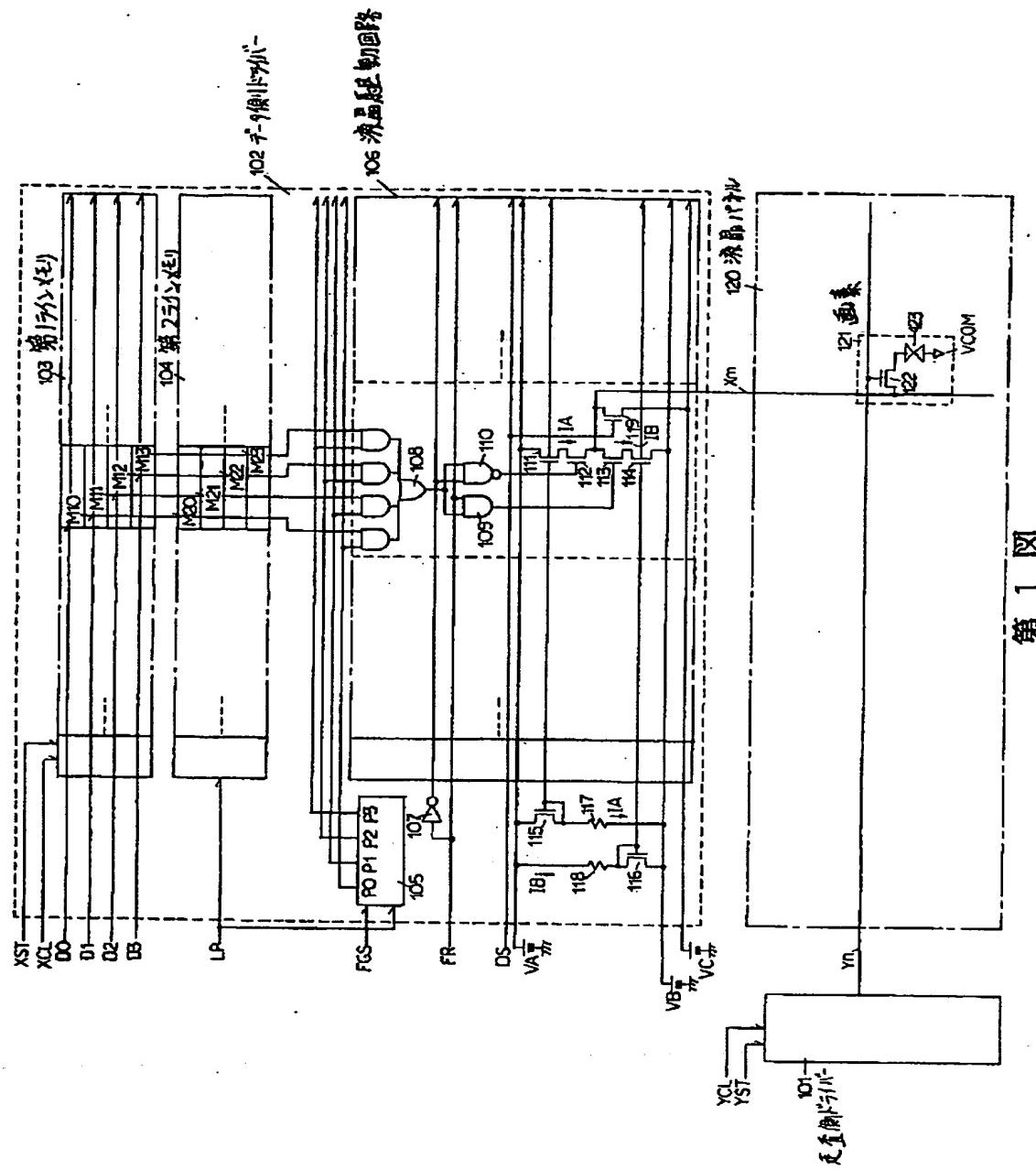
114, 116, 118…第2の定電流源を構成

119…スイッチング手段としてのトランジスタ

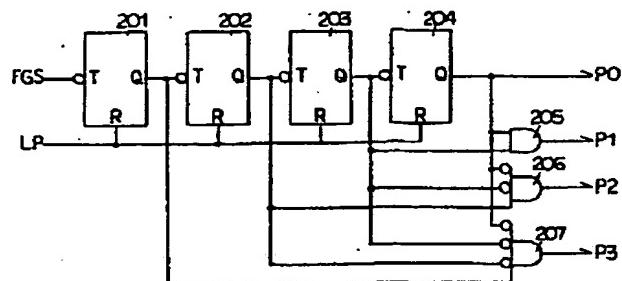
以上

出願人 セイコーエプソン株式会社

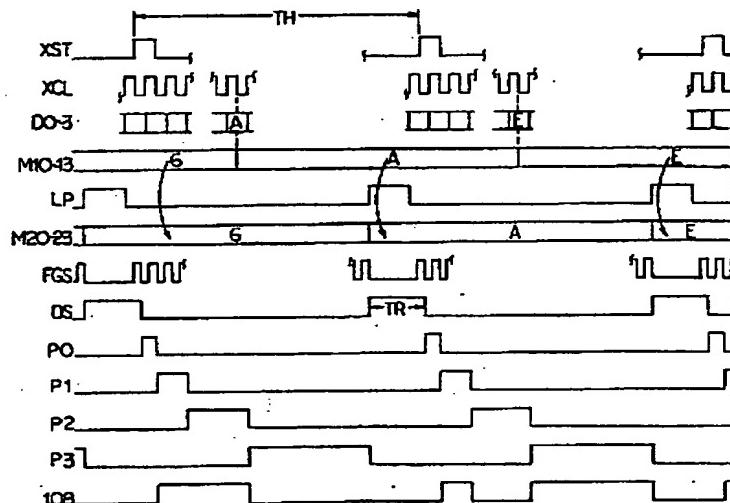
代理人 弁理士 鈴木 喜三郎 他1名



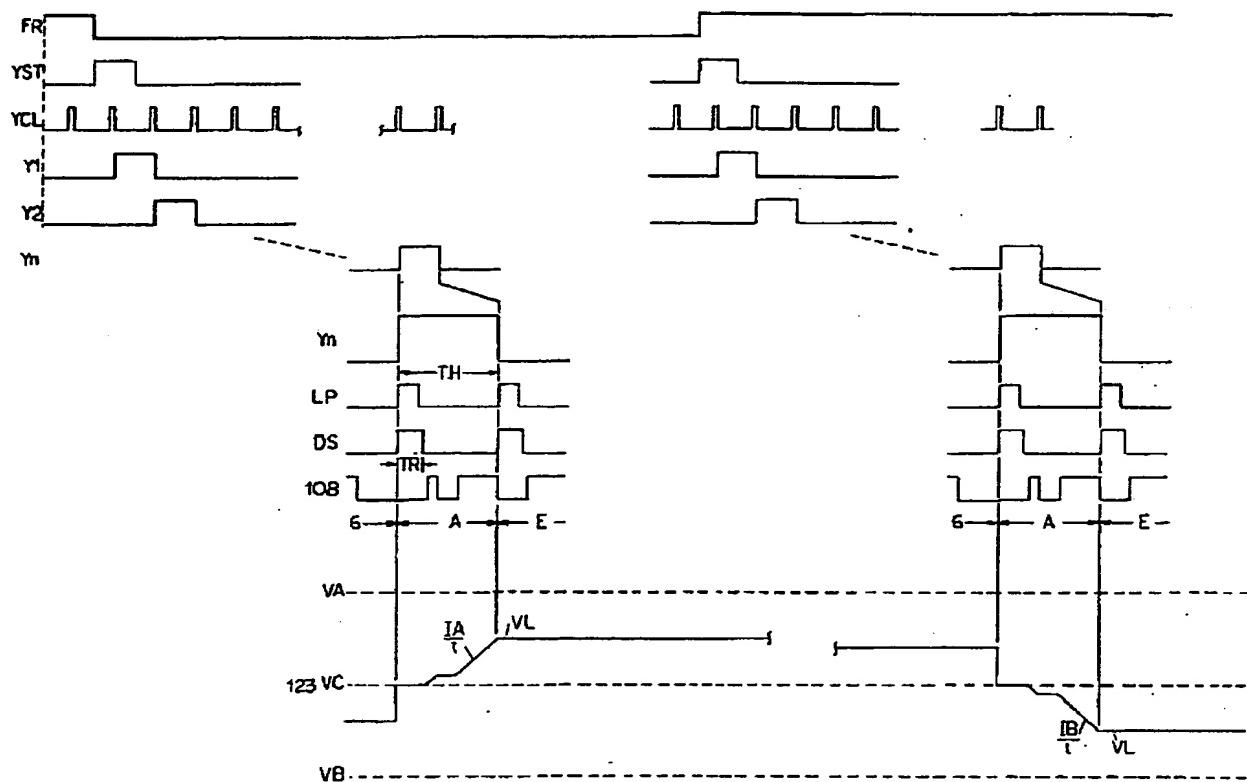
第一回



第 2 図



第 3 図



第 4 図